

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-244656
 (43) Date of publication of application : 28.09.1990

(51) Int.CI. H01L 21/82
 G06F 1/10
 H01L 27/04

(21) Application number : 01-064336 (71) Applicant : TOSHIBA CORP
 TOSHIBA MICRO
 ELECTRON KK

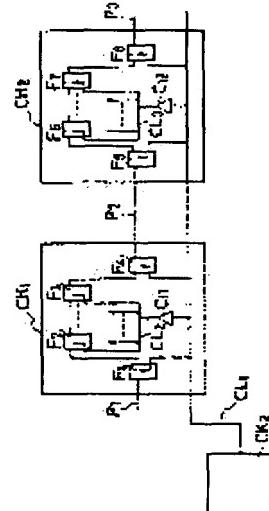
(22) Date of filing : 16.03.1989 (72) Inventor : TANAKA YASUNORI
 KATO AKIHIKO

(54) SEMICONDUCTOR CIRCUIT DEVICE

(57) Abstract:

PURPOSE: To effectively reduce the deviation of signals from each other among chips by a method wherein a clock feed section and a clock buffer of two or more chips are separated into two parts, one for a data input-output section and the other for an inner latch.

CONSTITUTION: A signal line CL1 from a chip CK2 which generates a clock signal serves as a common input line for clock terminals of latches F1, F4, F5, and F6 and also as an input line for buffers C11 and C12. The latches F1, F4, F5, and F6 are equal to each other as loads from the signal line CL1 side, so that the clock signals of the latches are kept from the deviation from each other in phase. Therefore, data transfer synchronizing with both clocks can be made through a data line P2. Loads are the same from the view point of a clock line CL2 on the output side of the buffer C11, so that inner latches are prevented from deviating from each other in phase. By this setup, signals in two or more chips can be effectively reduced in deviation from each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑯日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

平2-244656

⑬Int.CI.⁵

H 01 L 21/82
G 06 F 1/10
H 01 L 27/04

識別記号

序内整理番号

⑭公開 平成2年(1990)9月28日

D

7514-5F

8526-5F

7459-5B

H 01 L 21/82

G 06 F 1/04

330 P

審査請求 未請求 請求項の数 2 (全4頁)

⑮発明の名称 半導体回路装置

⑯特 願 平1-64336

⑰出 願 平1(1989)3月16日

⑱発 明 者 田 中 康 規 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導
体システム技術センター内

⑲発 明 者 加 藤 明 彦 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエ
ンジニアリング株式会社内

⑳出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑出 願 人 東芝マイクロエレクト ロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

㉒代 理 人 弁理士 鈴江 武彦 外3名

明細書

1. 発明の名称

半導体回路装置

2. 特許請求の範囲

(1) 複数個の半導体チップ間におけるデータの転送が少くとも一つの同相のクロック信号によって制御させる回路において、前記複数のチップ内部で前記クロック信号を、チップのデータ入力端子及びデータ出力端子からそれぞれ1段目にあるラッチ回路に共通に入力し、その他のラッチ回路用の系統とは別にしたことを特徴とする半導体回路装置。

(2) 前記複数のチップの外部導出ピンより入力された前記クロック信号が少くとも1段以上のバッファ回路を介して、チップのデータ入力端子及びデータ出力端子から1段目にあるラッチ回路とその他のラッチ回路とに分配され、前記各バッファ回路を介する負荷は、前記ピンから見て互に同一と見なせるものであることを特徴とする請求項1に記載の半導体回路装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は複数個の半導体チップ間の信号の伝達が良好に行なわれるようとした半導体回路装置に関するもので、特にデータ送受信用クロック信号が、データ送受信用ラッチにおいて位相ずれを生じないようにしたものである。

(従来の技術)

一般に複数個の半導体チップ間における任意のデータの転送が、少くとも1つの同相のクロック信号によって制御される回路においては、データ信号、クロック信号のずれをなくすようにする。特にデータ送、受信間のラッチ回路のデータ転送用クロックどうしにずれがあると、データ転送がうまく行なわれない。

第4図は信号用遅延チップを使用し、クロック信号間の位相のずれを低減する方法である。図中CK1はクロック信号を発生するチップ、CH_上¹²、CH_下¹¹はチップ、B1、B2はラッチ回路、C1、

C₂ はクロックバッファ、D₁、D₂ は遅延回路内蔵チップである。

ところで複数個のチップ間における信号の伝達方法としては、チップ内部のクロックバッファC₁、C₂ のゲート遅延時間を α_1 、 α_2 とし、バッファ C₁、C₂ からセル（ラッチ）B₁、B₂までの遅延時間を β_1 、 β_2 とし、ラッチの遅延時間を γ_1 、 γ_2 としたとき、

$$\alpha_1 + \beta_1 + \gamma_1 < \alpha_2 + \beta_2 + \gamma_2$$

の場合は、ラッチ B₁、B₂ 間のデータ信号の配線間に、遅延回路を内蔵したチップ D₁ を挿入し、

$$\alpha_1 + \beta_1 + \gamma_1 > \alpha_2 + \beta_2 + \gamma_2$$

の場合は、チップ C_{K1}、バッファ C₂ 間の配線間に、遅延回路内蔵チップ D₂ を挿入しデータ信号、クロック信号の位相のずれを低減している。又、他の従来例としては、遅延素子 D₁、D₂ の代わりに、それぞれの部分の配線長を変え、位相調整することもある。

(発明が解決しようとする課題)

しかしながら第4図の場合、チップ C_{H10}、C

H₁₁ のほかにチップ D₁、D₂ が必要となる。またこのようにチップ数が増加するため、ボード上のチップ配置が困難となる。

またチップ数の増加に伴ない、ボード上をチップが占める面積が増加するため、ラッチ B₁、B₂ 間の配線、チップ C_{K1}、バッファ C₂ 間の配線、その他の信号配線も複雑となる。また配線長の変化により、信号の位相のずれを低減する方法は、配線長が大変長くなる可能性がある。その場合には、ボード上を配線が占める面積が大となり、各チップを配置するのが困難となる。またいずれの場合にしても、各々のチップ、データに対する遅延時間は一定でないため、それらのチップ、データに対応して、位相の調整を行なうのは大変困難である。

そこで本発明の目的は、複数個のチップにおける信号のずれを良好に低減できるようにすることにある。

[発明の構成]

(課題を解決するための手段と作用)

本発明は、複数個の半導体チップ間におけるデータの転送が少くとも 1 つの同相のクロック信号によって制御させる回路において、前記複数のチップ内部で前記クロック信号を、チップのデータ入力端子及びデータ出力端子からそれぞれ 1 段目にあるラッチ回路に共通に入力し、その他のラッチ回路用の系統とは別にしたことを特徴とする半導体回路装置である。

即ち本発明は、複数のチップにおいてクロック信号入力部からチップのインプット端子部及びアウトプット端子部までのクロック信号の経路を同一とすることによって、クロック信号供給端子から見たそれぞれの負荷を同一化し、チップ間のデータ転送におけるデータの出力側、入力側でのクロック信号の位相のずれが生じないようにしたものである。

(実施例)

以下図面を参照して本発明の一実施例を説明する。第1図は同実施例の構成図で、C_{K2} はクロック信号を発生するチップ、C_{H1}、C_{H2} はチッ

プ、F₁～F₈ はラッチ回路、C₁₁、C₁₂ はクロック増幅用バッファ、P₁～P₃ はチップ間データ線、C_{L1}～C_{L3} はクロック信号線である。クロック信号線 C_{L1} はラッチ F₁、F₄、F₅、F₈ のクロック端子の共通入力となり、かつバッファ C₁₁、C₁₂ の入力となる。バッファ C₁₁、C₁₂ はその出力側のラッチの駆動能力向上用であり、クロック位相ずれ補正には関与しない。

第1図の構成では、クロック信号線 C_{L1} から見た負荷としてのラッチ F₁、F₄、F₅、F₈ は互いに同一（負荷同一）だから、これらラッチ相互のクロック信号に位相ずれは生じない。従ってこれら両クロック（互いに同相）に同期したデータ転送がデータ線 P₂（P₁、P₃ でも同様）で行なえるものである。またバッファ C₁₁ の出力側のクロック線 C_{L2} は内部ラッチで共通だから、C_{L2} から見た負荷同一で内部ラッチ間のクロック位相ずれは生じないものである。

第2図の実施例において C_{K3} はクロック発生用チップ、C_{H3}、C_{H4} はチップ、F₁₀～F₈₀

はラッチ、C 21～C 24はクロック増幅用バッファ、C L 4～C L 8はクロック信号線である。

第2図の回路にあっては、信号線C L 4からバッファC 21を介して、ラッチF 10を見た負荷、ラッチF 40を見た負荷、また信号線C L 4からバッファC 23を介して、ラッチF 50を見た負荷、ラッチF 80を見た負荷は互に同じだから、これらラッチF 40、F 50相互間に位相ずれは生じない(P 1、P 3の部分についてもそれぞれ同様)ものである。またバッファC 22、C 24の出力側についても、それぞれ負荷同一だから、クロック位相ずれは生じない。なおバッファC 22、C 24はC L 4から見た負荷は同じであっても、なくとも問題は生じないものである。

第3図の実施例においてCK 4はクロック発生用チップ、CH 5、CH 6はチップ、F 100～F 170はラッチ、C 31～C 34はクロック増幅用バッファ、C L 9～C L 13はクロック信号線である。

第3図において、信号線C L 9からバッファC 31を介して、ラッチF 100を見た負荷、ラッチF

130を見た負荷、信号線C L 9からバッファC 33を介して、ラッチF 140を見た負荷、ラッチF 170を見た負荷は互に同じだから、これらラッチF 130、F 140相互間に位相ずれは生じない(P 1、P 3についてもそれぞれ同様)ものである。ここでC L 9点からバッファC 31を介した各ラッチ、バッファC 33を介した各ラッチ負荷は同じとしている。バッファC 32の出力からラッチF 110～F 120を見た負荷も同様、バッファC 34の出力からラッチF 150～F 160を見た負荷も同様だから、それぞれチップ内部の位相ずれの問題は生じない。

【発明の効果】

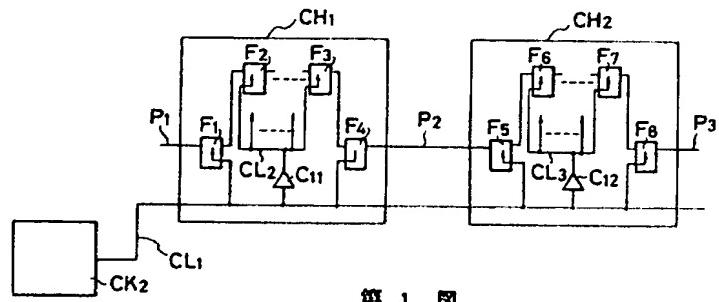
以上説明した如く本発明によれば、各々のチップにおいてクロック供給部なしクロックバッファを、データ入出力部用及び他の内部ラッチ用に分けたため、それぞれ単独かつ同一に負荷調整ができる、クロック信号ビンから見たデータ入出力部までの遅延時間を互に一定に調整できる。よって複数個のチップを同相のクロックで動作させる場

合、チップ間のデータ転送においてクロックのスキーは全く考える必要がない。このため従来のスキー調整用遅延素子を設ける必要がなく、配線長の増加等も行なう必要がない。更にボードの面積を小さくすることができ、開発時間の短縮、コストダウンを達成できるものである。

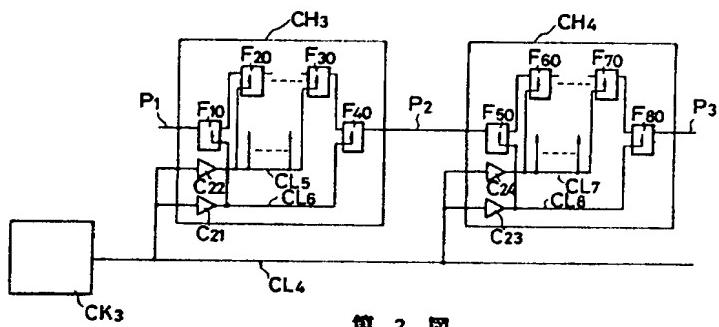
4. 図面の簡単な説明

第1図ないし第3図は本発明の各実施例の回路構成図、第4図は従来装置の回路構成図である。

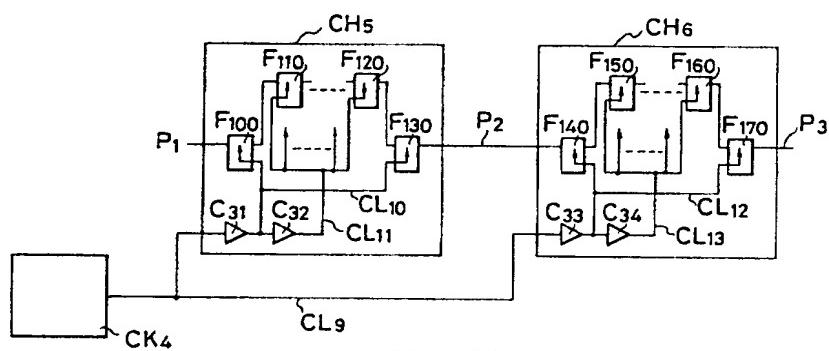
CK 2～CK 4……クロック信号発生チップ、CH 1～CH 6……チップ、F 1～F 8、F 10～F 80、F 100～F 170……ラッチ、C 11、C 12、C 21～C 24、C 31～C 34……クロックバッファ、C L 1～C L 13……クロック信号線、P 1～P 3……データ線。



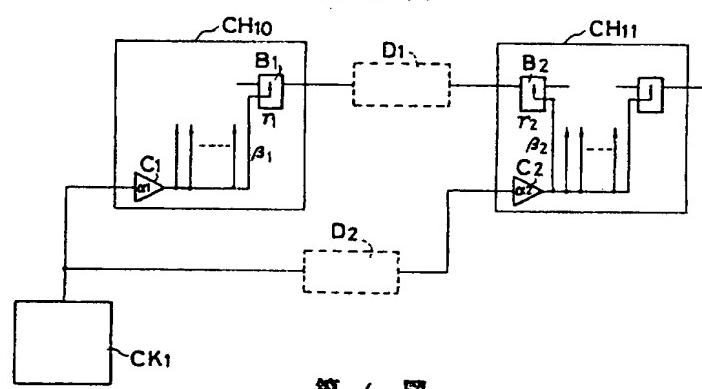
第 1 図



第 2 図



第 3 図



第 4 図